

AH

BUS TRACER CONTROL CIRCUIT

Patent Number: JP4160658
 Publication date: 1992-06-03
 Inventor(s): ISHIKAWA HIDENORI
 Applicant(s): NEC IBARAKI LTD
 Requested Patent: ☐ JP4160658
 Application Number: JP19900288873 19901025
 Priority Number(s):
 IPC Classification: G06F13/00, G06F11/34
 EC Classification:
 Equivalents:

Abstract

PURPOSE: To continuously trace up-to-date data and to detect a tracer stop condition plural times by switching tracing operation from the whole areas of a tracer memory group to an area storing the oldest transfer data.

CONSTITUTION: This bus tracer control circuit is provided with the tracer memory group 2 for tracing transfer data, a tracer stop monitoring circuit for generating a tracer stop signal when the tracer stop condition is formed and a tracer address deciding circuit 7 for deciding which area stores the tracing information of the oldest transfer data when the tracer stop signal is generated. In addition, a tracer memory dividing circuit 8 for dividing the tracer memory group 2 and a tracing operation switching circuit 6 for switching whether the whole areas of the memory group 2 are to be used or a divided area is to be used are also included in the bus tracer control circuit. Consequently, up-to-date data can be continuously traced to the memory group divided into blocks even after forming the trace stop condition and the formation frequency of the trace stop condition can be detected.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平4-160658

⑬ Int. Cl.⁵

G 06 F 13/00
11/34

識別記号

3 0 1 C
C

庁内整理番号

7368-5B
7165-5B

⑭ 公開 平成4年(1992)6月3日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 バストレーサ制御回路

⑯ 特 願 平2-288873

⑰ 出 願 平2(1990)10月25日

⑱ 発 明 者 石 川 英 則 茨城県真壁郡関城町関館字大茶367-2 茨城日本電気株式会社内

⑲ 出 願 人 茨城日本電気株式会社 茨城県真壁郡関城町関館字大茶367-2

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

バストレーサ制御回路

2. 特許請求の範囲

各種の外部装置を制御する複数の従局と前記複数の従局を中央処理装置の指示により制御する主局との間をインタフェースバスを介して送受信される転送データをトレースするバストレーサ制御回路において、前記主局と前記複数の従局との間を接続するためのインタフェースバスと、前記インタフェースバスを介して前記主局と前記複数の従局間で送受信される転送データをトレースするためのトレースメモリ群と、前記トレースメモリ群へアドレス情報を供給するためのトレースアドレス生成回路と、前記トレースメモリ群へメモリ制御情報を供給するためのトレースメモリ制御情報生成回路と、あらかじめ前記中央処理装置を含む主局の指示によりトレース停止条件を設定する

ことによりトレース停止条件が成立しているかを監視し、トレース停止条件が成立した時トレース停止信号を発生するトレース停止監視回路と、前記トレース停止監視回路によりトレース停止信号が発生された時前記トレースアドレス生成回路のアドレス情報より一番古い転送データのトレース情報が前記トレースメモリ群のどの領域に格納されているかを判定するためのトレースアドレス判定回路と、前記トレースアドレス判定回路により判定された判定情報をもとにトレース停止後もトレース動作を継続させるため前記トレースメモリ群の内、使用出来る領域をブロック分割するためのトレースメモリ分割回路と、トレース動作をトレースメモリ群の全領域を使用するかまたは前記トレースアドレス判定回路及び前記トレースメモリ分割回路によって抽出されたブロック分割された領域を使用するかを切り換えるトレース動作切り換え回路とを、含むことを特徴とするバストレーサ制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はバストレーサ制御回路、特に、トレース停止条件が成立し、トレース動作を停止した後、最新の転送データをブロック分割されたトレースメモリ群へ継続してトレース動作を出来るようにしたバストレーサ制御回路に関するものである。

〔従来の技術〕

従来、この種のバストレーサ制御回路は、トレース停止条件が成立した場合、トレース停止条件が成立した時点でトレース動作を停止させていた。

〔発明が解決しようとする課題〕

上述した従来のバストレーサ制御回路は、トレース停止条件が成立した時点でトレース動作を停止させてしまう制御回路となっているので、最新の転送データをトレースすることが出来ない、またトレース停止条件が複数回発生した場合、最初のトレース停止条件が発生した時の転送データ

のみしかトレースされないため、何回トレース停止条件が成立したかを判定出来ないという欠点がある。

〔課題を解決するための手段〕

本発明のバストレーサ制御回路は、主局と複数の従局との間を接続するためのインタフェースバスと、インタフェースバスを介して主局と複数の従局間で送受信される転送データをトレースするためのトレースメモリ群と、トレースメモリ群へアドレス情報を供給するためのトレースアドレス生成回路と、トレースメモリ群へメモリ制御情報を供給するためのトレースメモリ制御情報生成回路と、あらかじめ中央処理装置を含む主局の指示によりトレース停止条件を設定することにより、トレース停止条件が成立しているかを監視し、トレース停止条件が成立した時、トレース停止信号を発生するトレース停止監視回路と、トレース停止監視回路によりトレース停止信号が発生された時、トレースアドレス生成回路のアドレス情報により一番古い転送データのトレース情報がトレース

- 3 -

- 4 -

メモリ群のどの領域に格納されているかを判定するためのトレースアドレス判定回路と、トレースアドレス判定回路により判定された判定情報をもとに、トレース停止後もトレース動作を継続させるため、トレースメモリ群の内、使用出来る領域をブロック分割するためのトレースメモリ分割回路と、トレース動作をトレースメモリ群の全領域を使用するか、または、トレースアドレス判定回路及びトレースメモリ分割回路によって抽出されたブロック分割された領域を使用するかを切り換えるためのトレース動作切り換え回路とを有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

主局1、トレースメモリ群2、トレースメモリ制御情報生成回路3、トレースアドレス生成回路4、トレース停止監視回路5、トレース動作切り換え回路6、トレースアドレス判定回路7、ト

レーサメモリ分割回路8、従局(1)9-1、従局(2)9-2、…、従局(n)9-n、インタフェースバス10により構成されている。

次に第1図に示すバストレーサ制御回路の動作について説明する。

主局1と複数の従局9-1、9-2、…、9-nはインタフェースバス10を介して転送データの送受信を行なう。

トレース停止監視回路5は、あらかじめ中央処理装置を含む主局1から与えられたトレース停止条件が成立するようなインタフェースバス状態が発生するかを監視する。

もし、トレース停止監視回路7がトレース停止条件の成立を検出した場合、トレースアドレス判定回路7及びトレースメモリ分割回路8にトレース停止信号を送出する。

トレース停止信号を受けたトレースアドレス判定回路7は、トレースアドレス生成回路4より最新のトレースアドレス情報を受け、一番古い転送データのトレース情報がトレースメモリ群2のど

- 6 -

- 5 -

の領域にあるかをトレースアドレス情報から判定し、判定したアドレス情報をトレースメモリ分割回路 8 に供給する。

また、トレース停止信号及びトレースアドレス判定回路 7 によって判定されたアドレス情報をもとに、トレースメモリ分割回路 8 はトレース停止後の使用出来るトレースメモリ群 2 の領域を選択し、選択情報をトレース動作切り換え回路 6 に供給する。

トレース動作切り換え回路 6 は選択情報によってトレース動作を切り換える。トレースメモリ制御情報生成回路 3 によって生成されるメモリ制御情報、トレースアドレス生成回路 4 によって生成されるアドレス情報は、トレース動作切り換え回路 6 によって判定された判定信号をもとにトレースメモリ群 2 の全領域を使うか、一番古い転送データが格納されているトレース領域を使うかを認識し、それぞれ生成されたアドレス情報、メモリ制御情報をトレースメモリ群 2 へ供給する。

例えば、トレースメモリ群 2 の全領域を使って

- 7 -

ある。

1 ……主局、2 ……トレースメモリ群、3 ……トレースメモリ制御情報生成回路、4 ……トレースアドレス生成回路、5 ……トレース停止監視回路、6 ……トレース動作切り換え回路、7 ……トレースアドレス判定回路、8 ……トレースメモリ分割回路、9-1 ……従局(1)、9-2 ……従局(2)、9-n ……従局(n)、10 ……インタフェースバス。

代理人 弁理士 内 原 晋

トレース動作を行なっていた時、トレース監視回路 5 によってトレース停止を検出した場合、トレースメモリ分割回路 8 及びトレース動作切り換え回路 6 が作動し、トレースメモリ群 2 をブロック化して縮退した領域にてトレース動作を継続することにより、トレース停止条件を検出後も継続してトレース動作を行なうことが出来て、複数回のトレース停止条件を認知することができる。

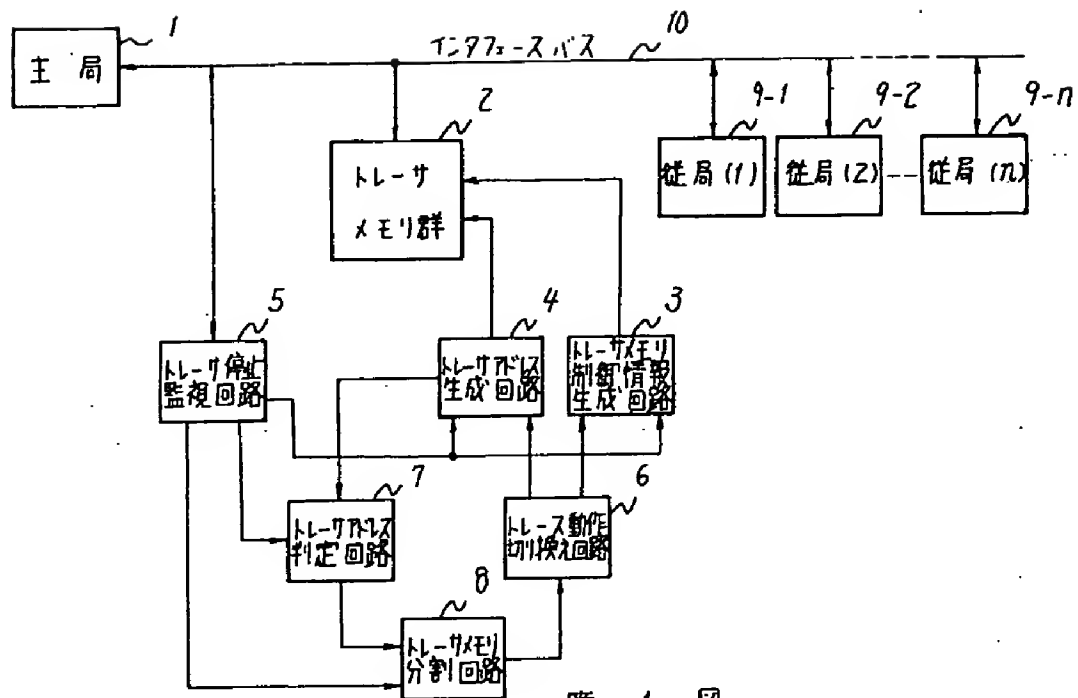
〔発明の効果〕

以上説明したように本発明は、トレース停止条件が成立した場合、トレース動作をトレースメモリ群の全領域に対するものから、トレースメモリ群の一番古い転送データが格納されている領域をブロック使用するものと切り換えることにより、最新の転送データを継続してトレースすることが出来るとともに、複数回のトレース停止条件を検出することが出来る効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック図で

- 8 -



第 1 図